

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-068041  
(43)Date of publication of application : 09.03.1999

(51)Int.CI. H01L 27/04  
H01L 21/822

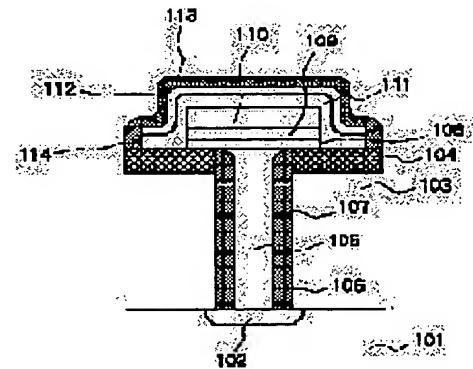
(21)Application number : 09-224950 (71)Applicant : NEC CORP  
(22)Date of filing : 21.08.1997 (72)Inventor : MATSUKI TAKEO

#### (54) STRUCTURE FOR SEMICONDUCTOR DEVICE AND ITS MANUFACTURE

**(57)Abstract:**

**PROBLEM TO BE SOLVED:** To obtain a structure which restrains the degradation of a capacitance film when a heat treatment is executed in an atmosphere containing hydrogen by a method wherein silicon nitride films are arranged on the inside face of a contact hole and between a capacitance element and an interlayer film as well as to the surface and the side face of the capacitance element.

**SOLUTION:** A capacitance element is formed in such a way that its upper layer is formed as a first silicon nitride film 104, that its lower layer is formed as a silicon oxide layer 103, that it is separated from a semiconductor substrate 101 by a double-layer-structure interlayer insulating film and that it is connected electrically to the semiconductor substrate 101 via a contact hole 105. A second silicon nitride film 106 is arranged on the inside face of the contact hole 105, and a lower-part electrode 110 for the capacitance element is arranged on it so as to come into contact with the contact hole 105. A capacitance film 111 and an upper-part electrode film 112 are formed so as to cover the lower-part electrode 110. A third silicon nitride film 113 and a fourth silicon nitride film 114 are arranged respectively on the surface of the upper-part electrode 112 and on the side face of the capacitance film 111 and the upper-part electrode 112.



## **LEGAL STATUS**

[Date of request for examination] 21.08.1997

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3090198

[Date of registration] 21.07.2000

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平11-68041

(43)公開日 平成11年(1999)3月9日

(51)Int.Cl.<sup>6</sup>

H 0 1 L 27/04  
21/822

識別記号

F I

H 0 1 L 27/04

C

審査請求 有 請求項の数9 OL (全 11 頁)

(21)出願番号 特願平9-224950

(71)出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(22)出願日 平成9年(1997)8月21日

(72)発明者 松木 武雄

東京都港区芝五丁目7番1号 日本電気株  
式会社内

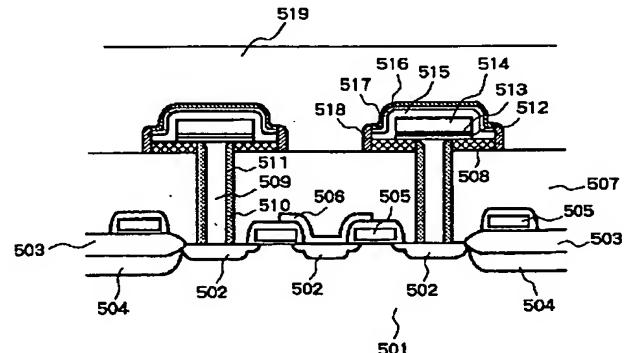
(74)代理人 弁理士 若林 忠 (外4名)

(54)【発明の名称】 半導体装置の構造およびその製造方法

(57)【要約】

【課題】 金属酸化膜を容量素子とした半導体記憶装置において、水素を含んだ雰囲気での熱処理においても容量膜が劣化しない装置を提供する。

【解決手段】 全容量素子の上面、側面、下面にシリコン窒化膜を配置し、基板と接続するコンタクト孔内面にもシリコン窒化膜を配置し、さらに外部配線とのコンタクト孔を容量素子と離れた位置に配置する。



## 【特許請求の範囲】

【請求項1】 半導体基板上に設けられた容量素子を具備する半導体装置において、半導体基板と容量素子とを絶縁する層間膜にコンタクト孔が配置され、前記コンタクト孔内側面、容量素子と層間膜との間、容量素子上面および側面にシリコン塗化膜が配置され、コンタクト孔内には、金属または多結晶シリコンのプラグが形成され、コンタクト孔上面に容量素子を形成する容量蓄積電極、容量膜および対向電極が配置されることを特徴とする半導体装置。

【請求項2】 容量膜が、タンタル酸化物であることを特徴とする請求項1記載の半導体装置。

【請求項3】 容量膜が高誘電体膜または強誘電体膜で構成されることを特徴とする請求項1記載の半導体装置。

【請求項4】 コンタクト孔が、基板上のソースまたはドレイン領域と接続されていることを特徴とする請求項1記載の半導体装置。

【請求項5】 半導体基板上に、上層を第1のシリコン塗化膜とし、下層をシリコン酸化膜または他の絶縁膜とする多層構造の層間膜層を形成する工程と、層間膜層に半導体基板に達し層間膜層を貫くコンタクト孔を形成する工程と、コンタクト孔の形成された層間膜層に第2のシリコン塗化膜を成膜してコンタクト孔内表面も該シリコン塗化膜で覆う工程と、第2のシリコン塗化膜をエッチバックして層間膜層上のシリコン塗化膜のみを除去する工程と、第2のシリコン塗化膜で被膜されたコンタクト孔内部に多結晶シリコンまたは金属を埋め込みプラグ層とする工程と、プラグ層上にプラグ層上面より広い面積を有する容量素子下部電極を形成する工程と、容量素子下部電極を覆い、前記第1のシリコン膜と接する容量膜を形成する工程と、容量膜上に容量素子上部電極を形成する工程と、上部電極膜の上に第3のシリコン塗化膜を形成する工程と、第3のシリコン塗化膜をマスクしてエッティング処理し、第3のシリコン塗化膜の上面および側面、容量素子上部電極の側面、容量膜の側面および第1のシリコン膜を露出させる工程と、上記露出部分を第4のシリコン塗化膜で被覆する工程と、上記各側面の被覆のみを残して第4のシリコン塗化膜および第1のシリコン塗化膜をエッチバックする工程を含むことを特徴とする半導体装置の製造方法。

【請求項6】 半導体基板上に、上層を第1のシリコン塗化膜とし、下層をシリコン酸化膜または他の絶縁膜とする多層構造の層間膜層を形成する工程と、層間膜層に半導体基板に達し、層間膜層を貫くコンタクト孔を多数かつ直線的に列状に形成する工程と、コンタクト孔の形成された層間膜層に第2のシリコン塗化膜を成膜して各コンタクト孔内表面も該シリコン塗化膜で覆う工程と、第2のシリコン塗化膜をエッチバックして層間膜層上のシリコン塗化膜のみを除去する工程と、第2のシリコン

塗化膜で被覆されたコンタクト孔内部に多結晶シリコンまたは金属を埋め込みプラグ層とする工程と、プラグ層上に、プラグ層より広い面積を有する容量素子下部電極を形成する工程と、容量下部電極を覆い前記第1のシリコン膜と接する容量膜を成膜する工程と、容量膜上に容量素子上部電極を形成する工程と、上部電極膜上に第3のシリコン塗化膜を形成する工程と、第3のシリコン塗化膜をマスクして第3のシリコン膜の上面および側面、容量素子上部電極の側面、容量膜の側面および第1のシリコン膜を露出させるように直線形状にエッティング加工し、複数の下部電極に上部電極が共有されるようにする工程と、上記露出部分を第4のシリコン塗化膜で被覆する工程と、上記各側面の被覆のみを残して第4のシリコン膜および第1のシリコン膜をエッチングバックする工程を含むことを特徴とする半導体装置の製造方法。

【請求項7】 請求項5に記載の製造方法で製造されたトランジスタと容量素子により構成される半導体装置を多数配置した半導体記憶装置。

【請求項8】 半導体装置が格子状に規則的に配置されることを特徴とする請求項7に記載の半導体記憶装置。

【請求項9】 外部配線と接続するためのコンタクト孔を、容量素子または容量素子とトランジスタで構成される半導体装置が配置される領域の外に配置することを特徴とする請求項7または8に記載の半導体記憶装置。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】 本発明は、半導体装置、半導体装置の製造方法および半導体記憶装置に関する。

## 【0002】

【従来の技術】 近年、半導体記憶装置には高速化、記憶の大容量化、そして、低消費電力化の要求が著しい。それに対して、これまで最も需要が大きいDRAM (Dynamic Random Access Memory)においては、回路中の各記憶セルの微細化に対し、記憶ノードである容量素子の容量(絶縁)膜にシリコン酸化膜より誘電率の高い金属酸化物を用いることが提案されている。この金属酸化物には、強誘電性を示すものもあり、その強誘電性を利用した不揮発性メモリも提案されている。

【0003】 高誘電体を容量膜とした記憶装置の例を図10を用いて説明する。シリコン基板801の表面には、ソース・ドレイン領域802が形成されている。また、シリコン基板801の表面上にはソース/ドレイン領域802の一部表面を露出するコンタクトホール809を有する層間絶縁膜807, 808が形成されている。このコンタクトホール809にはプラグ810が充填されている。このプラグ810を通じてソース/ドレイン領域802と電気的に接続されるように高誘電体を有する容量素子が形成されている。層間絶縁膜はシリコン酸化膜807とシリコン塗化膜808との2層からなっている。またシリコン塗化膜808とプラグ層810

の上部表面は同一平面をなすように形成されている。図において811は下部電極（蓄積電極）812は容量絶縁膜、813は上部電極（プレート電極、対向電極）である。

【0004】半導体記憶装置とするには、この容量素子の上層に金属配線と、その金属配線と絶縁するための配線層間絶縁膜814が配置される。

【0005】半導体基板の表面に配置されたトランジスタのしきい値電圧や駆動電流のばらつきを低減し性能を向上させるために、金属配線後に水素雰囲気で熱処理を行う。この熱処理により、半導体とそれに接する絶縁膜との界面に形成される欠陥（準位等）が補償される。

#### 【0006】

【発明が解決しようとする課題】従来の技術の第1の問題点は、容量素子形成より後の工程で水素を含む雰囲気で熱処理を行った場合、金属酸化物である容量膜が還元されて、容量特性の劣化につながることである。

【0007】第2の問題点は、容量素子の配置されている層より下方の層に配置されているトランジスタの特性劣化または信頼性の減少である。つまり、図に示すとおりシリコン窒化膜808はプラグ層810以外の領域を覆っているため、容量形成後、前述の水素を含んだ雰囲気での熱処理を行った場合、シリコン窒化膜が障壁となり水素がトランジスタが配置されている層に到達することが困難になり、トランジスタの特性および信頼性が劣化したり、特性がばらついたりする。

【0008】本発明の目的は、上記従来例の問題点を解決できる半導体装置およびその製造方法ならびに半導体記憶装置を提供することである。

#### 【0009】

【課題を解決するための手段】上記目的を達成する本発明は次のようにある。

1. 半導体基板上に設けられた容量素子を具備する半導体装置において、半導体基板と容量素子とを絶縁する層間膜にコンタクト孔が配置され、前記コンタクト孔内側面、容量素子と層間膜との間、容量素子上面および側面にシリコン窒化膜が配置され、コンタクト孔内には、金属または多結晶シリコンのプラグが形成され、コンタクト孔上面に容量素子を形成する容量蓄積電極、容量膜および対向電極が配置されることを特徴とする半導体装置。

2. 容量膜が、タンタル酸化物であることを特徴とする上記1記載の半導体装置。

3. 容量膜が高誘電体膜または強誘電体膜で構成されることを特徴とする上記1記載の半導体装置。

4. コンタクト孔が、基板上のソースまたはドレイン領域と接続されていることを特徴とする上記1記載の半導体装置。

【0010】5. 半導体基板上に、上層を第1のシリコン窒化膜とし、下層をシリコン酸化膜または他の絶縁膜

10

20

30

40

50

とする多層構造の層間膜層を形成する工程と、層間膜層に半導体基板に達し層間膜層を貫くコンタクト孔を形成する工程と、コンタクト孔の形成された層間膜層に第2のシリコン窒化膜を成膜してコンタクト孔内表面も該シリコン窒化膜で覆う工程と、第2のシリコン窒化膜をエッチバックして層間膜層上のシリコン窒化膜のみを除去する工程と、第2のシリコン窒化膜で被膜されたコンタクト孔内部に多結晶シリコンまたは金属を埋め込みプラグ層とする工程と、プラグ層上にプラグ層上面より広い面積を有する容量素子下部電極を形成する工程と、容量素子下部電極を覆い、前記第1のシリコン膜と接する容量膜を形成する工程と、容量膜上に容量素子上部電極を形成する工程と、上部電極膜の上に第3のシリコン窒化膜を形成する工程と、第3のシリコン窒化膜をマスクしてエッティング処理し、第3のシリコン窒化膜の上面および側面、容量素子上部電極の側面、容量膜の側面および第1のシリコン膜を露出させる工程と、上記露出部分を第4のシリコン窒化膜で被覆する工程と、上記各側面の被覆のみを残して第4のシリコン窒化膜および第1のシリコン窒化膜をエッチバックする工程を含むことを特徴とする半導体装置の製造方法。

【0011】6. 半導体基板上に、上層を第1のシリコン窒化膜とし、下層をシリコン酸化膜または他の絶縁膜とする多層構造の層間膜厚を形成する工程と、層間膜層に半導体基板に達し、層間膜層を貫くコンタクト孔を多数かつ直線的に列状に形成する工程と、コンタクト孔の形成された層間膜層に第2のシリコン窒化膜を成膜して各コンタクト孔内表面も該シリコン窒化膜で覆う工程と、第2のシリコン窒化膜をエッチバックして層間膜層上のシリコン窒化膜のみを除去する工程と、第2のシリコン窒化膜で被覆されたコンタクト孔内部に多結晶シリコンまたは金属を埋め込みプラグ層とする工程と、プラグ層上に、プラグ層より広い面積を有する容量素子下部電極を形成する工程と、容量下部電極を覆い前記第1のシリコン膜と接する容量膜を成膜する工程と、容量膜上に容量素子上部電極を形成する工程と、上部電極膜上に第3のシリコン窒化膜を形成する工程と、第3のシリコン窒化膜をマスクして第3のシリコン膜の上面および側面、容量素子上部電極の側面、容量膜の側面および第1のシリコン膜を露出させるように直線形状にエッティング加工し、複数の下部電極に上部電極が共有されるようにする工程と、上記露出部分を第4のシリコン窒化膜で被覆する工程と、上記各側面の被覆のみを残して第4のシリコン膜および第1のシリコン膜をエッティングバックする工程を含むことを特徴とする半導体装置の製造方法。

【0012】7. 上記5に記載の製造方法で製造されたトランジスタと容量素子により構成される半導体装置を多数配置した半導体記憶装置。

8. 半導体装置が格子状に規則的に配置されることを特徴とする上記7に記載の半導体記憶装置。

9. 外部配線と接続するためのコンタクト孔を、容量素子または容量素子とトランジスタで構成される半導体装置が配置される領域の外に配置することを特徴とする上記7または8に記載の半導体記憶装置。

【0013】本発明の半導体装置の構造は、 $Ta_2O_5$  ( $Ba, Sr$ )  $TiO_3$  (以降B S Tと呼ぶ。) 等の金属酸化物を容量膜とする容量素子と半導体基板とを接続するコンタクト孔またはプラグ孔の内壁にシリコン窒化膜を設置した構造でありかつ、シリコン窒化膜で容量素子を包み込むようにした構造でもある。

【0014】容量素子において、その上面と側面にシリコン窒化膜が配置され、かつ蓄積電極に接してその蓄積電極と下層とを接続するコンタクト孔を囲んでシリコン窒化膜が配置され、その上、そのコンタクト孔内壁にもシリコン窒化膜が配置されるため、容量膜までに水素が到達することが困難になっている。

【0015】上記発明5において上部電極上にシリコン窒化膜を成膜後にマスクでシリコン窒化膜、上部電極膜、容量膜を下地のシリコン窒化膜が露出するまでエッチング加工し、再度、シリコン窒化膜を成膜しエッチバックすることで、従来と同数のマスク数で容量素子をシリコン窒化膜で包み込むことが可能になる。

【0016】上記発明9の半導体記憶装置の構造によれば、まず2次元平面上に配置される各々の容量素子または、トランジスタに接続された容量素子の上部電極から外部配線へ接続するコンタクト孔をその容量素子近傍に配置する必要がなくなる。つまり、容量素子近傍に上部電極から外部配線へのコンタクト孔を配置した場合、水素雰囲気での熱処理時に水素がそのコンタクト孔を通じて容量素子に拡散到達することは容易であるが、外部配線へのコンタクト孔を容量素子から離して配置することで、水素による劣化を抑制することが可能になる。

### 【0017】

【発明の実施の形態】次に、本発明の半導体装置の構造について図面を参照して説明する。本発明の実施形態の概要は、半導体基板または、配線層と層間膜によって隔てられ、コンタクト孔を介してそれらと接続される構造をとる容量素子、およびその容量素子と半導体基板上に形成されたトランジスタがそのソースまたはドレイン領域とコンタクト孔を介して接続された半導体記憶装置で、そのコンタクト孔内壁にシリコン窒化膜が形成され、かつ容量素子下面に接してシリコン窒化膜が配置され、かつ、容量素子上面側面ともにシリコン窒化膜が配置された半導体記憶装置である。そして、この半導体記憶装置を複数個配置した場合に、各々の半導体記憶装置間をシリコン窒化膜で埋めないようにした構造の半導体記憶装置である。コンタクト孔に接続される容量素子の電極と対向するもう一つの容量素子の電極には、前記コンタクト孔とは別のコンタクト孔が配置され、上層配線層と接続される。

【0018】図1を用いて構造について詳細に説明する。図1は本発明の半導体装置の一例を示す断面図である。まず、容量素子は、上層を第1のシリコン窒化膜104として下層をシリコン酸化膜103とした2層構造の層間絶縁膜によって基板半導体101と隔てられ、コンタクト孔105を介して半導体基板101と電気的に接続されている。この第1のシリコン窒化膜104が容量素子の下面を覆うことで、水素が下部電極110を通して容量膜を劣化させることを抑制する。また、電極が金属酸化物で構成される場合には、還元反応により酸素が発生することを抑制することができる。還元反応により酸素が気体として発生した場合には、膜はがれの原因ともなる。ここで半導体基板101のコンタクト孔105と接する領域は、接続抵抗低減のために高濃度に不純物を導入した領域102とすることが望ましい。また、コンタクト孔105に接するのは、半導体基板101でなくとも金属配線層でもよい。コンタクト孔内側面には、第2のシリコン窒化膜106が配置される。第2のシリコン窒化膜106をコンタクト孔105内に配置することで、容量素子の側方を拡散通過した水素がコンタクト孔105の側面から侵入するのを抑制している。

【0019】コンタクト孔105内側には、多結晶シリコンまたは、タンゲステン等の金属のプラグ107が配置される。コンタクト孔105の接するのが半導体基板101の場合、コンタクト孔底面に金属シリサイドおよび半導体元素の拡散障壁となる材料を配置することもよい。例えば、チタンシリサイドと窒化チタンの2層構造膜がある。

【0020】コンタクト孔に接してその上に容量素子の下部電極110が配置される。容量素子の下部電極蓄積電極の構成は、次のようである。前記コンタクト孔105に埋め込まれている材料がシリコンの場合、そのシリコンの上層への拡散障壁として、窒化チタン膜109および接合抵抗を低減するために $TiSi_2$  108をそのシリコンに接して配置する。容量膜111と接する電極110の材料として、 $Pt$ ,  $Ru$ ,  $Ir$ を用いるとよい。または、 $RuO_2$ ,  $IrO_2$ のように金属酸化物で電気抵抗の低い材料またはそれとの積層膜でもよい。

【0021】下部電極110を覆うように容量膜111と上部電極膜112が成膜される。容量膜は、例えば $Ta_2O_5$  が用いられる。他の例として高誘電体または強誘電体である( $Ba, Sr$ )  $TiO_3$  や $SrTiO_3$  等がある。上部電極112は、 $Pt$ ,  $Au$ ,  $Ru$ ,  $TiN$  等が用いられる。

【0022】上部電極112の上面と、容量膜111および上部電極112の側面にそれぞれ第3のシリコン窒化膜113と第4のシリコン窒化膜114が配置される。

【0023】次に上部電極と外部配線との接続について図2を用いて説明する。図2に示すように上部電極20

2と外部配線203は、容量素子の直接の上面に配置せず、上部電極を容量素子単体またはその多数個を配置した容量集団から離れた位置に配置するのがよい。上部電極202との接続部ではシリコン窒化膜に孔が設けられるため、水素処理の場合水素が容量素子に進入する。容量素子の側面と上面がシリコン窒化膜に覆われ、侵入経路または侵入口を容量素子から離れた位置にすることで容量素子の劣化を低減することが可能になる。

【0024】上記のように、容量素子が、その側面と上面および一部を除いた下面、そして、下面に接続されているコンタクト孔内にシリコン窒化膜を配置して、水素による特性劣化を抑制することが本発明の特徴の一つである。

【0025】図3は本発明の半導体装置の製造方法を示す図である。まず、下地として半導体基板301を用意する。ここではp型シリコン基板301を用いて説明する。この基板は、半導体301に絶縁膜と金属配線がなされたものでもよい。また、基板表面に絶縁膜を選択的に配置することで素子分離を行うこともできる。その場合、素子分離により、高濃度不純物領域は、それぞれ、分離される。

【0026】次に、少なくとも最上層を第1のシリコン窒化膜として、多層層間絶縁膜を成膜する。例えば、シリコン酸化膜302とシリコン窒化膜303との2層構造がある。次に、レジストマスクとドライエッチング法を用いて選択的に層間膜にコンタクト孔304を設ける(図3(a))。

【0027】第2のシリコン窒化膜305をCVD法で成膜し(図3(b))、エッチバックすることでコンタクト孔304内にシリコン窒化膜の側壁を形成する(図3(c))。

【0028】コンタクト孔304内を電気的に接続するためのプラグ306を形成する(図3(d))。具体的には多結晶シリコンをCVD法等で成膜し、コンタクト孔に埋め込み、エッチバックする。マスクにより選択的に不要部分を除去してもよい。また、多結晶シリコンをCVD法で成膜するときに同時に不純物を導入して、あらかじめ下地基板に設けた高濃度不純物領域と同じ導電型にすることでコンタクト部の寄生抵抗を低減できる。一方、成膜後に、イオン注入法を用いて不純物導入することも可能である。下地が、コンタクト孔底面に金属層が露出している場合には、シリコンとその金属配線との反応を防ぐために窒化チタンTiNまたはチタンシリサイド307/窒化チタン308(TiSi<sub>2</sub>/TiN)のようなシリコン拡散障壁層を挟むことも可能である(図3(e))。この場合、Ti/TiNを成膜し熱処理によりコンタクト孔304の上面のみシリサイド化するのも可能である。

【0029】このコンタクト孔304に埋め込む材料をタンゲステンのような金属としてもよい。コンタクト孔50

底面の露出した下地がシリコンの場合、シリコンと埋め込んだ金属との反応を抑制するためにTi/TiNのような障壁層を基板との間に設けるとよい。

【0030】プラグ306は、図4にあるようにプラグ材料の多結晶シリコンをマスクにより選択的に不要部分を除去して第1のシリコン窒化膜403の表面にプラグ405表面が突出した構造をとることも可能である。図中401~406は上記図3の301~306にそれぞれ対応する。

【0031】次に、下部電極309を形成する(図3(e), (f))。下部電極材料は前述のRu等を使用する。容量絶縁膜310と上部電極311と第3のシリコン窒化膜312を連続して成膜した後、不要部分をマスクを用いて、選択的に少なくとも容量下のシリコン窒化膜層が露出するまでエッチング除去する(図3(g), (h))。この加工には、反応性ドライエッチングのみならず、不活性ガスを用いたイオンミリング法でもよい。

【0032】第4のシリコン窒化膜313を成膜し(図3(i))、エチバックして容量の側面に側壁膜とする(図3(j))。

【0033】外部配線と絶縁するための絶縁膜を成膜し、第2のコンタクト孔を形成して、配線する。

【0034】図5に本発明の半導体装置の実施形態の第2の例を示す。半導体基板501の表面に形成された電界効果トランジスタのゲート電極505が適当な間隔で配置されている下地にソース・ドレイン領域502を介して上述の容量素子が形成されている。素子分離絶縁膜503上に配置されているものは、紙面奥行き方向に、他の素子領域があることを示す。

【0035】半導体基板501材料は、シリコンでP型またはN型を用いる。必要なら適当な導電型のウェルをイオン注入を利用して形成する。絶縁膜による素子分離が配置形成されている。電界効果トランジスタとして、ゲート電極505およびそのゲート電極505と半導体基板との間にゲート絶縁膜が配置され、ゲート電極505を挟んでソース、またはドレイン領域502が配置されている。ここで、ゲート電極505は、不純物が導入された多結晶シリコン(ポリシリコン)または、それと金属シリサイド膜と多結晶シリコンとの積層膜でもよい。トランジスタ層の上層に第1のシリコン窒化膜508を最上層とした層間絶縁膜が配置され、その層間絶縁膜にトランジスタのソース(ドレイン)と容量素子とを接続するコンタクト孔(第1のコンタクト孔)509が配置されている。

【0036】コンタクト孔509の内側には、多結晶シリコンまたはタンゲステン等の金属プラグ511が配置される。コンタクト孔509の接するものが半導体基板501の場合、コンタクト底面に金属シリサイドおよび半導体元素の拡散障壁となる材料、例えばチタンシリサイ

ドと窒化チタンの二層構造膜を配置することがよいのは、第一の例と同様である。

【0037】コンタクト孔509に接して、その上に容量素子の下部電極（蓄積電極）514が配置される。下部電極の構成は次のようにある。すなわち前記コンタクト孔509に埋め込まれている材料がシリコンの場合、そのシリコンの上層への拡散障壁として窒化チタン膜513および接合抵抗を低減するためにTiSi<sub>2</sub>（チタンシリサイド）512をそのシリコンに接して配置する。容量絶縁膜515と接する電極514の材料としては、Pt, Ru, Irを用いるとよい。または、RuO<sub>2</sub>、IrO<sub>2</sub>のように金属酸化物で電気抵抗の低い材料またはそれらとの積層膜でもよい。

【0038】下部電極514を覆うように容量（絶縁）膜515と上部電極（対向電極、プレート電極）516が成膜される。容量膜515は例えばタンタル酸化物（Ta<sub>2</sub>O<sub>5</sub>）があり、高誘電体または強誘電体として（Ba, Sr）TiO<sub>3</sub>やSrTiO<sub>3</sub>等が挙げられる。上部電極516は、Pt, Au, Ru, TiN等が用いられる。

【0039】上部電極516の上面と、容量膜515および上部電極516の側面にそれぞれ第3のシリコン窒化膜517と、第4のシリコン窒化膜518が配置される。

【0040】外部配線と絶縁するため配線層間絶縁膜519と、外部配線との接続孔（第2のコンタクト孔）（図示せず）で配置されるがその位置については先に図2で説明したことと同様であり、また、この第2の例の半導体装置の製造方法については先に図3を用いて説明した方法とほぼ同様であるが、具体的な数値等を挙げて実施例として詳細に説明する。

#### 【0041】

##### 【実施例】

###### 実施例1

図6、図7を用いて前記発明の実施形態の第2の例で示した半導体装置の実施例を説明する。

【0042】図6（a）では、半導体基板上に電界効果トランジスタを形成している。まず、P型シリコン基板上601にLOCOS（Local Oxide of Silicon）法、改良LOCOS法または溝分離法を用いて選択的にシリコン酸化膜を配置して素子分離絶縁膜602を形成する。酸化膜厚は、350nmとする。ゲート酸化膜としてシリコン酸化膜を10nm成長する。ゲート電極605材料として多結晶シリコンを200nm成膜し、レジストマスクで加工する。ここで、ゲート電極605材料として金属膜と多結晶シリコンとの積層膜や、金属シリコン膜と多結晶シリコン膜との積層膜にすることでゲート電極605の層抵抗低減が可能になり回路性能を向上させることができる。

【0043】イオン注入によりリンイオンまたはヒ素イ

10

オンを注入しソース・ドレイン領域604を形成する。その上面にビット線607を形成する。ビット線（データ線）607の材料としては、多結晶シリコンや金属シリサイドがある。

【0044】図6（b）では、層間膜形成からコンタクト孔形成までを説明している。まず、シリコン酸化膜608／第1のシリコン窒化膜609の層間絶縁層を形成する。シリコン酸化膜608は、CVD法でシランまたはTEOSを原料として成膜する。シリコン窒化膜609の200nmをCVD法で成膜する。レジストマスクで層間絶縁膜を選択的にドライエッ칭してコンタクト孔610を形成する。

【0045】図6（c）では、コンタクト孔内の側面にシリコン窒化膜の側壁膜の形成を行なっている。前述のレジストを除去後、全面に第2のシリコン窒化膜611を50nm成膜し、引き続き異方性ドライエッ칭で全面をエッチバックすることでコンタクト孔内壁にシリコン窒化膜の壁を形成する。

【0046】図7（d）では、コンタクト孔610にプラグ612を埋め込み容量素子の下部電極615形成まで行っている。まず、全面に多結晶シリコンを成膜してエッチバックすることで、コンタクト孔610内にプラグ層612を形成する。ここで、多結晶シリコン成膜をCVDで行い、ホスフィンガス等の不純物ガスを同時に導入して、リン等の不純物を多結晶シリコンに導入してプラグ抵抗を低減するとよい。シリコンの拡散障壁層としてチタンシリサイド613／窒化チタン614を形成する。Ru下部電極615を200nmの膜厚で形成する。下部電極615は、Ru等の酸化されても導電性がある金属がよいが、プラグ材料との反応性を考慮する必要がある。プラグ材がシリコンの場合、シリコンと電極材が反応してシリサイドを形成するのみならず、下部電極中を通過して、容量膜と反応して容量膜特性を劣化させことがある。

【0047】成膜された下部電極615膜をレジストマスクでドライエッ칭またはイオンミリングで加工し、下部電極615構造を形成する。

【0048】図7（e）は、容量膜成膜から第3のシリコン窒化膜618を成膜し、加工する工程を説明する図である。容量膜616として、BSTを30nm成膜する。成膜方法は、MO-CVDや熱CVD法がよい。また、下地が平坦な場合は、スパッタ法やSol-Gel法でもよい。起き続き、上部電極617としてPtをスパッタ法で10nm成膜する。上部電極の材料としては、このほかに、Ru, W, TiN等がある。

【0049】この上部電極617上に第3のシリコン窒化膜618を、CVD法等で100nm成膜する。レジストマスクにより、前記誘電体からなる容量膜616、上部電極617、および第3のシリコン窒化膜618を加工する。

11

【0050】図7(f)は、配線層間膜形成工程までを説明する図である。第4のシリコン窒化膜619を100nm成膜し、層間膜608が露出するまでエッチバックすることで容量素子の側壁とする。配線層間絶縁膜620としてBPSG、またはオゾンTEOS原料のSiO<sub>2</sub>の膜を500nm成膜する。

【0051】次に、外部配線と容量素子上部電極を結合するためにコンタクト孔を層間膜に形成するが、その位置は、前記図2を用いて説明したようにするよい。

#### 【0052】実施例2

図8、9を用いて半導体基板上に多数の容量素子を配置した例について説明する。まず、下地は、半導体基板、または、半導体基板上に設けられた配線層とする。上部電極708とその上層の第3のシリコン窒化膜711の成膜までは、図6、7を用いて述べた方法と同様にして形成する。ここで、容量素子の下部電極708は、複数個、層間絶縁膜の上に規則正しく配置されるようにする。しかし、容量膜709、上部電極膜710、そして、第3のシリコン窒化膜711は、共通になっている(図8(a))。次に、レジストマスク等によりある一方向に沿って、第3のシリコン窒化膜711、上部電極710、容量層709、そして、第1のシリコン窒化膜702までドライエッティング等の方法で選択的に除去する(図8(b))。ここで、第1のシリコン窒化膜702は、完全に除去する必要はない。少なくとも、その表面が露出するまで十分である。次に、第4のシリコン窒化膜712を成膜する(図9(c))。その後層間膜であるシリコン酸化膜701が露出するまでエッチバックすることで、容量素子列にシリコン窒化膜の側壁膜とする(図9(d))。

#### 【0053】

【発明の効果】本発明の半導体装置の構造によれば、容易に水素に還元され得る金属酸化膜を容量膜として容量素子周囲をSiNで囲むことで、水素がその容量膜を還元し、特性劣化するのを防ぐため低漏れ電流でかつ大容量の高性能容量素子が形成される。

【0054】また、本発明の半導体装置の製造方法により、自己整合的に容量素子と下層とを接続するコンタクト孔内側面にシリコン窒化膜壁を形成することが可能になる。

【0055】さらに本発明の半導体装置の製造方法を適用すれば、高い保持特性を有し、かつ低電源電圧で操作可能な半導体記憶装置の作製が可能になる。

#### 【図面の簡単な説明】

【図1】本発明の半導体装置の一例を示す断面図である。

【図2】本発明の容量素子の上部電極と外部配線との接続の一例を示す平面図である。

【図3】本発明の半導体装置の製造方法の一例を示す断面図である。

12

【図4】本発明の半導体装置の一部であるプラグの形状の一例を示す断面図である。

【図5】本発明の半導体装置の第二の例を示す断面図である。

【図6】図5に示した半導体装置に製造方法の前半を示す模式図である。

【図7】図5に示した半導体装置の製造方法の後半を示す模式図である。

【図8】容量素子を多数配置した本発明の半導体装置に製造方法の前半を説明する斜視図である。

【図9】図8に続く後半を説明する斜視図である。

【図10】従来の半導体装置の一例を示す断面図である。

#### 【符号の説明】

101	半導体基板
102	高濃度不純物層
103	層間絶縁層
104	第1のシリコン窒化膜
105	コンタクト孔
20106	第2のシリコン窒化膜
107	プラグ(多結晶シリコンまたは金属)
108	チタンシリサイド(下部電極)
109	窒化チタン(TiN、下部電極)
110	下部電極(蓄積電極、容量膜と接する)
111	容量絶縁膜
112	上部電極(対向電極、プレート電極)
113	第3のシリコン窒化膜
114	第4のシリコン窒化膜
20201	下部電極
30202	容量膜、上部電極、第3のシリコン窒化膜
203	外部配線接続孔
301	半導体基板(例、p型シリコン基板)
302	シリコン酸化膜(層間膜、下層)
303	第1のシリコン窒化膜
304	コンタクト孔
305	第2のシリコン窒化膜
306	プラグ
307	チタンシリサイド
308	窒化チタン
40309	下部電極(蓄積電極)
310	容量絶縁膜
311	上部電極膜(対向電極、プレート電極)
312	第3のシリコン窒化膜
313	第4のシリコン窒化膜
401	半導体基板
402	シリコン酸化膜(層間膜)
403	第1のシリコン窒化膜
404	第2のシリコン窒化膜
405	プラグ
50406	コンタクト孔

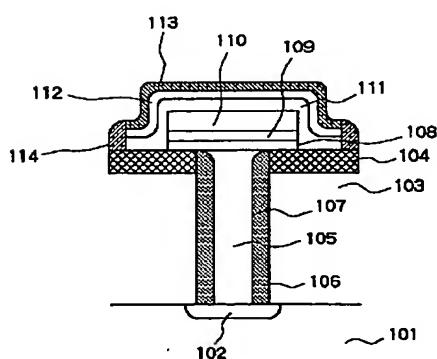
13

5 0 1 半導体基板 (p型シリコン基板)  
 5 0 2 ソース・ドレイン領域  
 5 0 3 素子分離絶縁膜  
 5 0 4 チャネルストップ領域  
 5 0 5 ゲート電極 (ワード線)  
 5 0 6 ビット線 (データ線、信号線)  
 5 0 7 シリコン酸化膜 (層間膜)  
 5 0 8 第1のシリコン窒化膜 (層間膜)  
 5 0 9 コンタクト孔  
 5 1 0 第2のシリコン窒化膜  
 5 1 1 プラグ  
 5 1 2 チタンシリサイドTiSi<sub>2</sub>  
 5 1 3 窒化チタンTiN  
 5 1 4 下部電極 (蓄積電極)  
 5 1 5 容量絶縁膜  
 5 1 6 上部電極 (対向電極、プレート電極)  
 5 1 7 第3のシリコン窒化膜  
 5 1 8 第4のシリコン窒化膜  
 5 1 9 配線層間絶縁膜  
 6 0 1 半導体基板 (p型シリコン基板)  
 6 0 2 素子分離絶縁膜  
 6 0 3 チャネルストップ領域  
 6 0 4 ソース・ドレイン領域  
 6 0 5 ゲート電極 (ワード線)  
 6 0 6 ゲート側壁膜  
 6 0 7 ビット線 (データ線)  
 6 0 8 シリコン酸化膜 (層間膜)  
 6 0 9 第1のシリコン窒化膜 (層間膜)  
 6 1 0 コンタクト孔  
 6 1 1 第2のシリコン窒化膜  
 6 1 2 プラグ  
 6 1 3 チタンシリサイドTiSi<sub>2</sub>  
 6 1 4 窒化チタンTiN

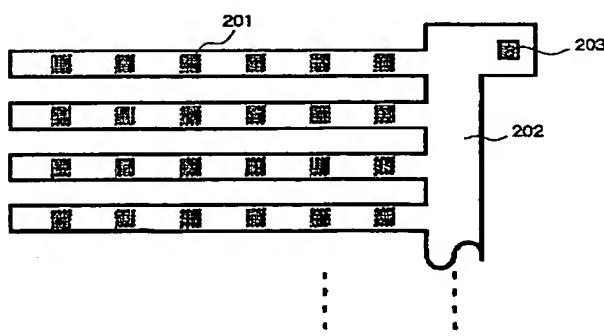
14

6 1 5 下部電極 (蓄積電極)  
 6 1 6 容量絶縁膜  
 6 1 7 上部電極 (対向電極、プレート電極)  
 6 1 8 第3のシリコン窒化膜  
 6 1 9 第4のシリコン窒化膜  
 6 2 0 配線層間膜  
 7 0 1 シリコン酸化膜 (層間膜)  
 7 0 2 第1のシリコン窒化膜 (層間膜)  
 7 0 3 コンタクト孔  
 10 7 0 4 第2のシリコン窒化膜  
 7 0 5 プラグ  
 7 0 6 チタンシリサイドTiSi<sub>2</sub>  
 7 0 7 窒化チタンTiN  
 7 0 8 下部電極 (蓄積電極)  
 7 0 9 容量絶縁膜  
 7 1 0 上部電極 (対向電極、プレート電極)  
 7 1 1 第3のシリコン窒化膜  
 7 1 2 第4のシリコン窒化膜  
 7 1 3 第4のシリコン窒化膜から得られる側壁膜  
 20 8 0 1 シリコン基板  
 8 0 2 ソース・ドレイン領域  
 8 0 3 素子分離絶縁膜 (例、LOCOS酸化膜)  
 8 0 4 チャネルストップ領域  
 8 0 5 ゲート電極 (ワード線)  
 8 0 6 ビット線 (信号線)  
 8 0 7 シリコン酸化膜 (層間膜)  
 8 0 8 シリコン窒化膜 (層間膜)  
 8 0 9 コンタクト孔  
 8 1 0 プラグ  
 30 8 1 1 下部電極 (蓄積電極)  
 8 1 2 容量絶縁膜  
 8 1 3 上部電極 (プレート電極、対向電極)  
 8 1 4 配線層間絶縁膜

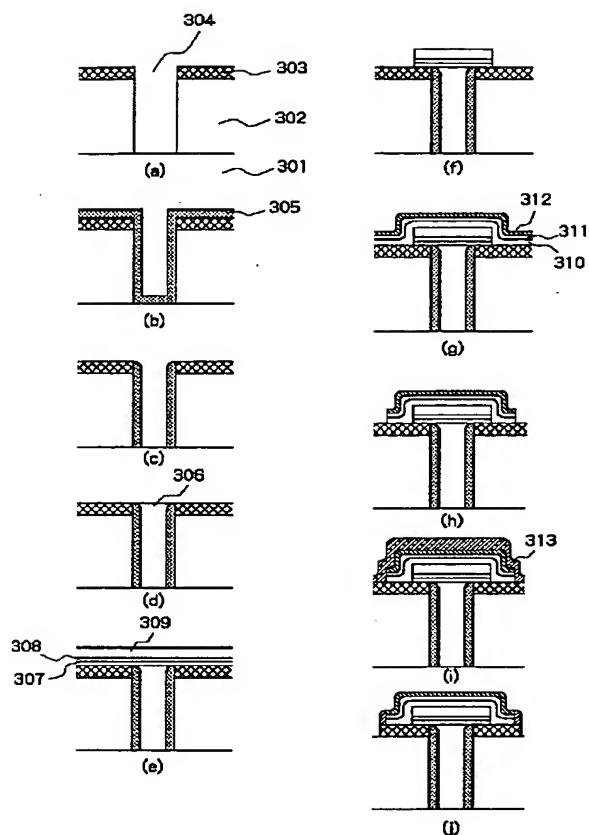
【図1】



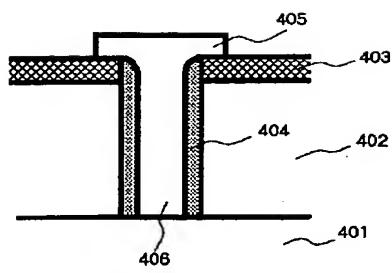
【図2】



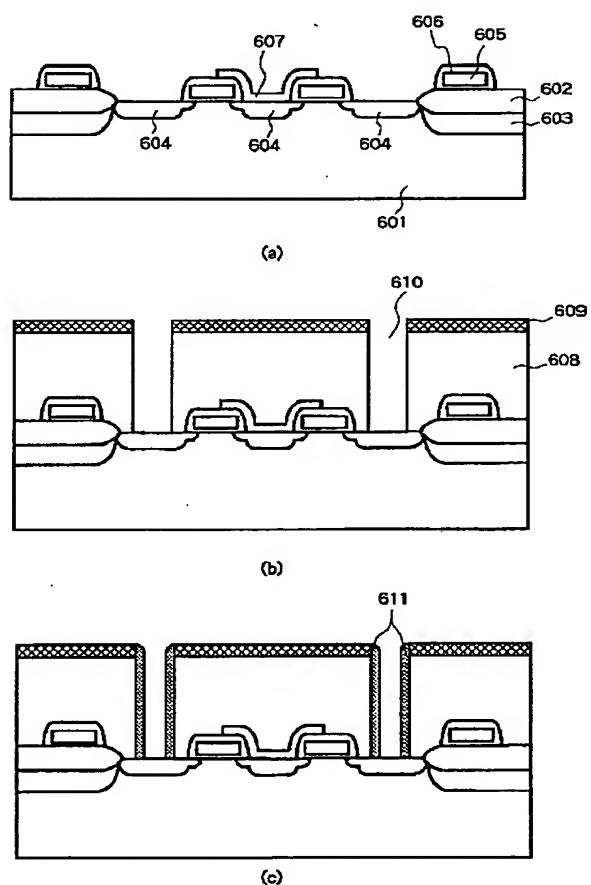
【図3】



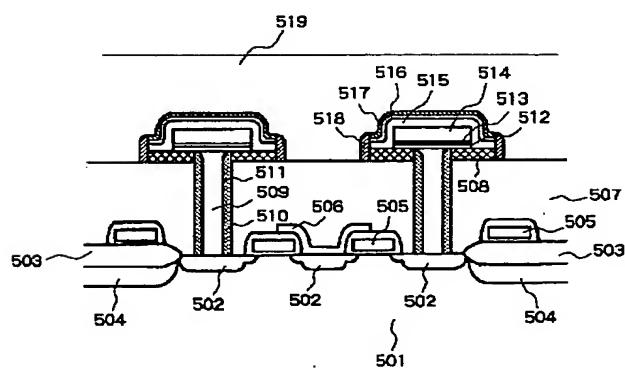
【図4】



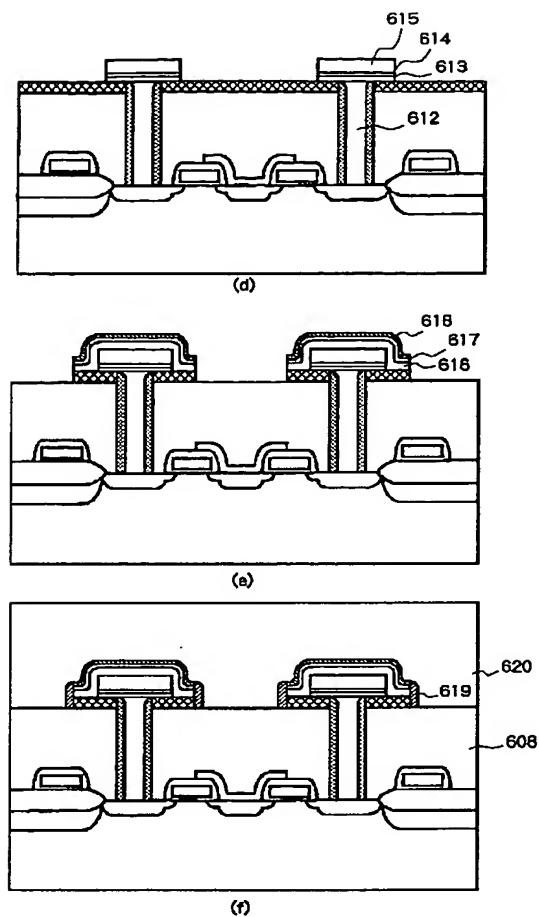
【図6】



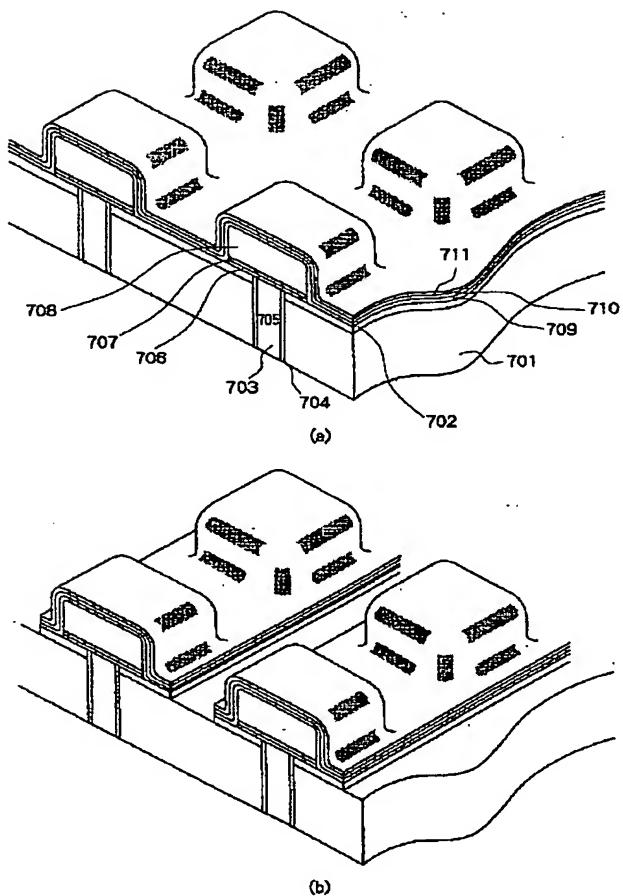
【図5】



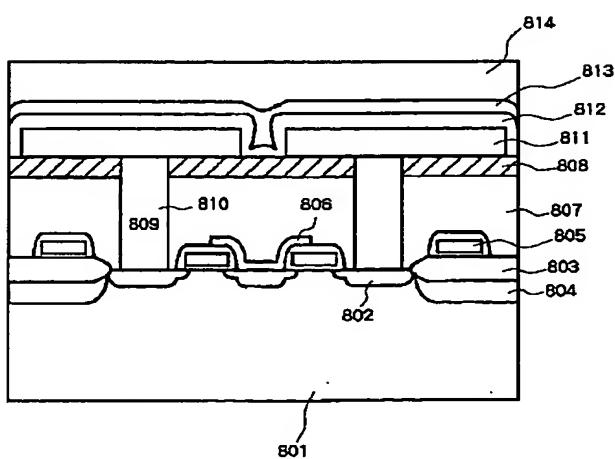
【図7】



【図8】



【図10】



【図 9】

